

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3303601号

(P3303601)

(45) 発行日 平成14年7月22日 (2002. 7. 22)

(24) 登録日 平成14年5月10日 (2002. 5. 10)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 29/78

21/768

識別記号

6 5 3

6 5 2

F I

H 0 1 L 29/78

21/90

6 5 3 A

6 5 2 S

A

J

請求項の数 7 (全 12 頁)

(21) 出願番号 特願平7-121656

(22) 出願日 平成7年5月19日 (1995. 5. 19)

(65) 公開番号 特開平8-316467

(43) 公開日 平成8年11月29日 (1996. 11. 29)

審査請求日 平成12年4月27日 (2000. 4. 27)

(73) 特許権者 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 篠原 俊朗

神奈川県横浜市神奈川区宝町2番地 日

産自動車株式会社内

(72) 発明者 星 正勝

神奈川県横浜市神奈川区宝町2番地 日

産自動車株式会社内

(72) 発明者 三原 輝儀

神奈川県横浜市神奈川区宝町2番地 日

産自動車株式会社内

(74) 代理人 100068353

弁理士 中村 純之助 (外1名)

審査官 小野田 誠

最終頁に続く

(54) 【発明の名称】 溝型半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 半導体基板の第1主面側にドレイン電極とソース電極とゲート電極を有し、該ゲート電極が前記第1主面側に形成された溝の内部にゲート絶縁膜を介して形成されており、

前記第1主面側に第1導電型によるドレイン領域が形成されており、前記ドレイン領域の上部に第2導電型のベース領域が形成されており、前記ベース領域の上部に第1導電型のソース領域が形成されており、

前記ベース領域とソース領域を貫通するように前記ゲート電極が形成されており、

前記ドレイン領域の底部に第1導電型の高濃度不純物領域または低抵抗領域が形成されており、該高濃度不純物領域または低抵抗領域と前記ドレイン電極を接続するドレイン引き出し領域およびドレイン開口部が形成されて

2

おり、

前記ベース領域及びソース領域を前記ソース電極と接続するためのソース開口部が形成されている、いわゆる槽型のUMOSにおいて、

前記ソース電極と該ドレイン電極が上下に重なった部分を有する、いわゆる2層配線構造を有し、

前記ドレイン開口部とソース開口部が規則的に所定のピッチで配置されており、ドレイン開口部の枠に相似な形に沿ってドレイン開口部の周囲を取り囲むように複数のソース開口部が列状に配置されて形成され、

前記ソース開口部の周囲に該ゲート電極が形成されている事を特徴とする溝型半導体装置。

【請求項2】 請求項1に記載の溝型半導体装置において、

隣り合う二つのドレイン開口部の間に複数列の列状ソー

ス開口部が形成されたことを特徴とする溝型半導体装置。

【請求項3】半導体基板の第1主面側にドレイン電極とソース電極とゲート電極を有し、該ゲート電極が前記第1主面側に形成された溝の内部にゲート絶縁膜を介して形成されており、

前記第1主面側に第1導電型によるドレイン領域が形成されており、前記ドレイン領域の上部に第2導電型のベース領域が形成されており、前記ベース領域の上部に第1導電型のソース領域が形成されており、

前記ベース領域とソース領域を貫通するように前記ゲート電極が形成されており、

前記ドレイン領域の底部に低抵抗領域または高濃度不純物領域が形成されており、該低抵抗領域または高濃度不純物領域と前記ドレイン電極を接続するドレイン引き出し領域およびドレイン開口部が形成されており、

前記ベース領域及びソース領域を前記ソース電極と接続するためのソース開口部が形成されている、いわゆる横型のUMOSにおいて、

前記ソース電極と前記ドレイン電極が上下に重なった部分を有する、いわゆる2層配線構造を有し、

前記ドレイン開口部とソース開口部が規則的に所定のピッチで配置されており、ドレイン開口部の枠に相似な形に沿ってドレイン開口部の周囲を取り囲むようにストライプ状のソース開口部が形成され、

前記ソース開口部の周囲に前記ゲート電極が形成されている事の特徴とする溝型半導体装置。

【請求項4】請求項3に記載の溝型半導体装置において、

隣り合う二つのドレイン開口部の間に複数列のストライプ状ソース開口部が形成されたことを特徴とする溝型半導体装置。

【請求項5】請求項1乃至請求項4のいずれかに記載の溝型半導体装置において、

前記低抵抗領域は、低抵抗シリサイド層で形成されたものであることを特徴とする溝型半導体装置。

【請求項6】請求項1乃至請求項5のいずれかに記載の溝型半導体装置において、

前記ドレイン引き出し領域は、トレンチの中に低抵抗材料を設けた低抵抗導電層で形成したものであることを特徴とする溝型半導体装置。

【請求項7】請求項1乃至請求項6のいずれかに記載の溝型半導体装置において、該ゲート電極と、該ドレイン開口部及び該ソース開口部との境界部の角が丸められていることを特徴とする溝型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はU字型断面形状を有する（以下U溝）パワー用半導体装置（UMOS）に関するもので、特にオン抵抗を低減する手法を提供するもので

ある。

【0002】

【従来の技術】U溝を有するパワー用溝型半導体装置の第1の従来例としては特開平6-151867記載の図19に示す構造が公知となっている。図19の従来例においては、同図(b)の断面図に示すように、基板裏面のドレイン電極1から基板表面のソース電極2へ電流を流す方式のため基板表面側にはドレインの引き出し領域を配置する必要がなく、従って図19(a)の平面図に示すように最密にソース領域4を配置できるためソース領域の高密度化が可能となりその結果、低オン抵抗化が図れるという効果がある。しかし、基板全体がドレイン領域となっているため複数のドライバを同一基板上に形成できないという問題がある。

【0003】この点を解決し得る方法として第2の従来例として図20に示す構造が特開昭63-173371により公知となっている。即ち、図20においてP型の基板12の表面にN型の埋込層13を形成し、その上面に埋込層13と接続して引き出し領域19を形成して基板表面のドレイン電極11と接続し、また、基板表面側に形成されたゲート電極用ポリシリコン24およびその周囲に形成されたソース領域17とそれぞれ接続されたゲート電極25及びソース電極26が基板表面に形成されている。この構成においては、基板全体がドレイン領域となるのではなく、それぞれのドライバについて耐圧層14を接合分離することにより埋込層13及び引き出し領域19、そしてドレイン電極11を独立に形成できるため複数のドライバを同一基板上に形成できる。しかし、この従来例においてはドレインやソース領域の配置については触れられていない。

【0004】これらの方法に対し第3の従来例として、複数のドライバを同一基板上に形成し、かつソース領域やドレイン領域の配置を最適化することによりオン抵抗を下げる事を目的とした方法が特開平3-167879により公知となっている。図21にこの発明による半導体装置の素子断面構造および平面構造を示す。図21の半導体装置は本発明で対象としているUMOS構造では無く、基板表面にゲート電極39及び40を持ち、これらゲート電極領域からのベース領域とソース領域の2重拡散により素子が形成されているいわゆる横型のDMOSと呼ばれている構造である。然し乍ら本従来例を本発明におけるUMOSに適用することも可能である。本従来例においては、図21(b)の平面図に示すように一つのドレイン取り出し用N+領域38に隣接する二つのソース取り出し用N+領域36が組み合わせられ個数比で1:2となるセル配置構成となっており、ドレイン領域34は2層目のドレイン領域43からの配線部45で、ソース領域35は1層目のソース電極42で取り出されている。この第3の従来例においては、ソース電極42とドレイン電極配線部45とを二層構造とする事により

ソース開口部とドレイン開口部をセル形状に形成でき、かつ六角形状配置を採用しているので素子の高集積化が可能であり、オン抵抗を低減出来るといった効果がある。なお、図21においてゲート電極39、40は絶縁層41により他の電極部と絶縁されている。しかし、本第3の従来例においてはソースセルとドレインセルの個数比が2:1であり、チャンネル抵抗を低減させるのが困難でありオン抵抗を低減させるのに限界がある。

【0005】

【発明が解決しようとする課題】以上述べたように従来公知の手段によれば、第1の公知例ではソース領域の高密度化、低オン抵抗化は実現し得るものの、基板全体が単一のドレイン領域となっており複数のドライバを同一基板上に形成出来ず集積化が不可能であるという問題があった。また、第2の従来例では複数のドライバを形成する具体的な電極配置が明示されておらず集積度を高める具体的方法が不明であり、更に第3の従来例ではオン抵抗の低減に限界がありスイッチング特性の向上が困難であった。

【0006】このように従来技術においては、上記のように高集積化及びオン抵抗の低減によるスイッチング特性の向上等個々の問題点に関しての解決は可能となっているが、これらを総合的に解決するには至っていない。本発明においてはこれら問題点を総合的に解決し集積度を高めかつ高速・高信頼性の半導体装置を実現することを目的とした。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1及び2に記載の半導体装置においてはドレイン開口部とソース開口部が所定のピッチで配置され、ドレイン開口部の周囲を取り囲むようにソース開口部が列状に配置され、或いは隣合う二つのドレイン開口部の間に複数の列状ソース開口部を形成し、これらソース開口部の周囲にゲート電極を配置し、かつドレイン及びソース電極を2層配線構造とした。

【0008】また、請求項3及び4に記載の半導体装置においてはドレイン領域の底部に低抵抗層を有し、この低抵抗層から半導体基板表面に向かってドレイン引き出し領域を有する構造に対して上記請求項1において述べた構造を適用したものである。ここにおいて低抵抗層を形成するために高不純物濃度領域としても形成し得るが、本発明においてはさらに低抵抗シリサイド層の適用も実施している。

【0009】請求項5に記載の本発明においてはドレイン底部の低抵抗層にシリサイドを適用している。請求項6においては上記ドレイン引き出し領域を不純物拡散によるものでなく、低抵抗材料を充填したトレンチ構造としている。更に請求項7においてはゲート電極と、ドレイン開口部及びソース開口部との境界部の角を丸めた形状としている。

【0010】

【作用】上記のように本発明においては、2層配線構造を採用しつつドレイン、ソース間の相互配置を最適化することにより集積度を向上することが出来、同時に動作時のオン抵抗を低減することが出来る。また、シリサイド層の採用により抵抗成分の低減を実現し、ドレイン引き出し領域にトレンチ構造を採用することにより従来の拡散法による拡がり部分を排除し得るために集積度の一層の向上を実現している。さらに、ゲート電極、ドレイン開口部、ソース開口部間の境界の角の部分を丸めることにより電界集中、内部応力の集中等を避けることが出来、本発明における半導体装置の信頼性を向上することが出来る。

【0011】

【実施例】以下本発明を図面に基づいて説明する。

（実施例1）図1は本発明の第1の実施例を示す図で図1(a)に平面パターン配置図を、及び図1(b)に平面パターン配置図のA-A断面部に対応する断面構造図である。まず図1(b)の断面図により本発明の構成を説明する。図においては、P型基板101の一主面内にN<sup>+</sup>型埋込層102が形成されており、またP型基板101の一主面上にP型エピタキシャル層103が形成されている。該P型エピタキシャル層103内にはNウェル領域104が形成されている。該Nウェル領域104内にP型ベース領域110及びドレイン引き出し領域107が形成されている。該P型ベース領域110内には高濃度N<sup>+</sup>型のソース領域105が形成されており、該P型ベース領域110および高濃度N<sup>+</sup>型のソース領域105に側面で接するようにU型ゲート部106が形成されている。そして、第1層層間絶縁膜111によりU型ゲート部106と絶縁されてソース電極108及びドレイン電極109が形成されている。また、ソース電極108と第2層層間絶縁膜112により絶縁されて第2層ドレイン電極113が形成されている。

【0012】次にソースおよびドレインの各セルの平面配置を図1(a)により説明する。ドレインセルの周囲を取り囲むようにソースセルが配置されている。該パターン配置を基本として、繰り返しソースセルとドレインセルが配置されている。第2層ドレイン電極113とソース電極108との間に正電圧が印加された状態で、U型ゲート部106にしきい値以上の電圧が印加されるとU型ゲート部106側面のP型ベース領域110の表面がN型に反転しチャンネルが形成される。その結果ドレイン引き出し領域107に縦方向に電流が流れ、引き続きN<sup>+</sup>型埋込層102を横方向に流れ、更にNウェル領域104を縦方向に流れて前記チャンネルを経由して高濃度N<sup>+</sup>型ソース領域105に電流が流れる。

【0013】本実施例においては、例えば図1(a)の平面図に示すように4×4列に配置されたソースセルの内、中心のソースセル2×2個分をドレインセル領域と

し、該ドレインセルの周囲を部分的にソースセル領域として形成している。埋込層102とドレイン電極109とを拡散によって形成されたドレイン引き出し領域107によって電氣的に低抵抗で接続しており、その為には深い拡散が必要である。このとき同時に横方向にもドレイン引き出し領域が拡がってしまうのでドレイン開口部面積を大きくするためにソースセル2×2個分の面積をドレイン開口部面積に用いている。この時ソースセルとドレインセルの面積比は3:1になり、チャンネルの集積度10が向上し同時に低オン抵抗化が可能となる。また、ソースセルとドレインセルの距離は耐圧が低下しない程度に近づける事が可能であり、ドレインセルの大きさをソースセル2×2個配置領域と同等面積より大きめに形成すればドレイン引き出し領域部の抵抗を低減できる。

【0014】(実施例2)本発明第2の実施例として図2(a)にソースおよびドレインの各セルの平面配置図を、図2(b)に図2(a)におけるA-A断面図を示す。本実施例においては6×6列に配置されたソースセルのうち、中心のソースセル2×2列分をドレイン引き出し領域202とし、該ドレインセルの周囲を二重に取り囲むようにソースセル領域201として形成している。本構成のセル配置においては、ソースセルとドレインセルの面積比は8:1になり、チャンネルの集積度が更に向上し、低オン抵抗化が可能となる。このように、ソースセルの密度を向上させて効果があるのは全オン抵抗に占めるドレイン引き出し抵抗とチャンネル抵抗を比較したときチャンネル抵抗の割合が大きいために効果のある手法であり、以下に、その考察について述べる。

【0015】図3は実施例1の場合のオン抵抗を構成している抵抗ネットワークである。ここで、引き出し抵抗5はドレイン引き出し領域107の抵抗、第1の埋込抵抗6は埋込層102の抵抗、第1のセル抵抗はソースセル部のソース抵抗及びチャンネル抵抗およびエピタキシャル層103の拡がり抵抗の合成抵抗であり、それがソースの数だけ並列に接続されている。

【0016】一方、実施例2に対してはそのオン抵抗は図4に示す抵抗ネットワークで表せる。ここで、図3との違いはドレインを中心として第1の実施例においては1周のソースセル群であるのに対して実施例2では2周のソースセル群であるため第2のセル抵抗9と埋込層102による第2の埋込抵抗8がさらに追加されていることである。ここで、オン抵抗を計算した結果を図5に示す。上記各実施例及び従来例3の計算結果を埋込層102のシート抵抗との関係で示している。この図から、埋込層抵抗の小さいとき本発明の各実施例は従来例に対してオン抵抗を著しく低減する効果のあることがわかる。実施例1に対して実施例2においては埋込層102のシート抵抗が更に小さくなったときにオン抵抗低減効果のより大きいことがわかる。これは全オン抵抗に占める埋込層抵抗の割合が小さくなることによって相対的にセル

抵抗の占める割合が大きくなり、その結果としてセル抵抗を減らすためにセル数を増やす、すなわちドレイン領域を周回するソースセル列を増やすことが効果あるためである。

【0017】逆にシート抵抗がある一定値以上の場合はソースセルの列の数を増やしてチャンネル抵抗を下げて、かえってソースセルとドレイン取り出しまでの距離が増加することによる抵抗増加の影響により素子全体のオン抵抗は増加してしまう。よってシート抵抗がある一定値以上の場合はソースセルの列数を減らして、なるべくソースセルとドレイン取り出しまでの距離を短く保っている方が、素子全体のオン抵抗を下げる事ができる。従って埋込層のシート抵抗やドレイン引き出し領域の抵抗に応じて、ソースセルの列数は適宜選択すればよい。

【0018】(実施例3)図6(a)の平面パターンに本発明の第3の実施例による電極配置を、また図6

(b)に図6(a)におけるA-A断面図を示す。図6(b)に示すように断面構造は実施例1の場合と同様であるが、平面パターンが異なっている。すなわち、図6(c)の概念図に示すように、実施例1におけるドレイン周回方向の隣り合ったソースセル同士を互いに接続して帯状のソース領域302としたものであり、これは図6(c)におけるU型ゲートの幅(LG)がソースセルの幅(LS)よりも大きいときに、第1の実施例に対して実質的にチャンネル幅を大きく出来る効果がある。

【0019】(実施例4)図7は本発明第4の実施例における電極の平面パターン図と断面図を示すものである。図7においては断面構造は第2の実施例と同様であるが平面パターンが異なっている。すなわち、帯状のソース領域402がドレイン引き出し領域401を2重に周回しているパターンとなっており、埋込層のシート抵抗が小さく、ゲート幅がソース幅よりも大きい時に低オン抵抗化の効果が現れる。

【0020】(実施例5)図8は本発明の第5の実施例における電極の平面パターン図である。本実施例は実施例3において1つのドレイン引き出し領域501を取り囲むソース領域502を分割し、U型ゲート503の接続点504を2つに増やしたものである。これにより各ソース領域502近傍におけるゲート抵抗の差異が小さくなり特にU型ゲート503の接続点504から遠い部位でのゲート抵抗を小さくすることが可能となり、ゲート充電の時定数を小さくできるためドライバの高速動作が可能となる効果がある。

【0021】(実施例6)図9は本発明の第6の実施例における電極の平面パターン図である。本実施例においては一つのドレイン引き出し領域601当りの接続点604を複数にした点では実施例5と同様であり、同様の効果が期待できるが、更に加えて以下の製造上の効果がある。以下、図10および図11を用いて説明する。図1

0および図11は図8及び図9のA-A断面図およびB-B断面図を示した図である。ここでは簡略化して拡散層等は記載していない。これから知れるように図8に示す実施例5においては幅の異なる2種類のU型ゲート503が形成されているのに対して図9に示す第6の実施例においては単一の幅のU型ゲート603のみが形成されている。一般にU型ゲートの形成方法としては、図11に示すようにシリコン基板に反応性イオンエッチ等の手法を用いてU溝701を形成した後その表面を酸化してゲート酸化膜702を形成し、その後、ゲート用ポリシリコン703を全面に形成することによってU溝を埋め込んでいる。その後、反応性イオンエッチングによりエッチバックすることによりU溝701以外の表面の領域のポリシリコンを除去することでU型ゲート704を形成する。

【0022】ここで、形成するポリシリコン703の厚みTはU溝701の幅Wの半分乃至は同程度で無いとU溝がきれいに埋まらないことが知られており、したがって、図10に示すように複数の幅のU溝をもつ第5の実施例においては形成するポリシリコンの厚みをその幅の広い部分(B-B)部に合わせて厚く設定する必要があるのに対して、図9に示す実施例6においては単一の狭い幅の溝のみであるため、形成するポリシリコンの厚みは薄くてもよい。したがって、U型ゲート形成のプロセスに要する時間が短縮でき、その結果、プロセスコストの低減が可能となる。

【0023】(実施例7)図12に本発明による第7の実施例による電極の平面パターン図を示す。図12に示したA-A部に対応する断面構造は図1と同一構造である。図12においては、正六角形のドレイン引き出し領域801の回りに正六角形のソース領域802が正六角形の帯状に配置されている。ドレイン形状を本実施例のように正六角形で構成する事により、素子のドレイン-ソース間耐圧を低下させないのに必要なソースセルとドレインセルとの距離を保ちつつ、ソースセル領域の面積を充分とる事が可能な最密パターン配置となっており、面積効率が向上するためオン抵抗を更に低減出来る。

【0024】(実施例8)図13に本発明第8の実施例による電極平面パターンと主要部断面図を示す。図13(a)に各電極の平面パターン図と図13(b)に図13(a)におけるA-A部に対応する断面構造図を示す。本実施例においては、ストライプ状に配置されたソース領域902の中に、ドレイン引き出し領域901が規則的に配置されている。本実施例の場合ドレインセル同志の間にストライプ状のソース領域902が2列配置されているが、本発明における実施例2で記したように、埋込層のシート抵抗に応じてドレイン引き出し領域間のストライプ状ソース領域列の数を変化させればよい。

【0025】(実施例9)図14に本発明による第9の

実施例の電極平面パターンと主要部断面図を示す。図14(a)は平面パターン配置図を、図14(a)の平面図におけるA-A部およびB-B部に対応する断面構造図をそれぞれ図14(b)及び(c)に示す。図14(c)のB-B断面図はこれまで述べてきた実施例と同様に各ソース領域においてP型ベース領域1109にもコンタクトを取れるようにソース電極1103とP型ベース領域が接しているが、図14(b)のA-A断面図においてはP型ベース領域1109にはコンタクトを取らずソース領域1104のみがソース電極1103と接している。

【0026】第9の実施例においては、3つのドレイン引き出し領域1001を取り囲んでソース領域1104が配置され、該パターンを基本として繰り返し配置されている。本実施例の場合、P型ベース領域1109とソース電極1103とはP型ベースコンタクト付ソース領域1002にて接続し、P型ベースコンタクト無しソース領域1003においてはソース領域1104の幅を縮小しているため基本パターンの繰り返しピッチを小さくすることが可能となり、単位面積当りのチャンネルの周囲長を向上する事が可能で、素子のさらなる低オン抵抗化が可能となる。

【0027】(実施例10)図15は本発明第10の実施例における電極平面パターンと断面図である。図15(a)に平面パターン図および図15(b)に図15(a)におけるA-A部断面図を示す。P型ベースコンタクト付ソース領域1202はソース領域のうち4隅のみであり、他はP型ベースコンタクト無しソース領域1203である。従って、図14(b)の断面A-Aにおいては、P型ベース領域とソース電極との接続が不要なのでソース領域幅の縮小が可能となり、その結果図18(a)に示すようなジグザグのソース領域とすることが可能となるので単位面積当りのチャンネルの周囲長を短縮する事が可能で、素子のさらなる低オン抵抗化が可能となる。

【0028】(実施例11)図16に本発明による第11の実施例における断面図を示す。図16においては埋込層として低抵抗シリサイド層1303が第1の基板1304の一主面に形成されている。低抵抗シリサイド層1303を形成する事により、ソース領域1302からドレイン引き出し領域1301を接続する時の接続抵抗を低減する事が可能で、素子の低オン抵抗化が図れる。低抵抗シリサイド層1303の形成には予め第2の基板1305に低抵抗シリサイド層13030を公知の方法で形成したのち、第1の基板1305とウェハボンディングし所定の厚さまで研磨するなどの方法で形成できる。ここで第1の基板としては通常のシリコン基板でもよいし、表面の全部又は一部に絶縁膜が形成された基板を用いて完成基板の内部に絶縁膜を埋め込んだ構成にしてもよい。絶縁膜が形成された基板を用いるとPN接合

により分離する場合に比べて絶縁性能が上がりラッチアップを完全に防げる等の効果が現われる。

【0029】（実施例12）図17に本発明による第12の実施例における断面図を示す。図17においてはドレイン引き出し領域1401としてトレンチが形成され、該トレンチ内に例えば低抵抗の多結晶シリコンやA1といった低抵抗導電層を形成することにより、ドレイン電極1404と埋込層1403を導通させている。本実施例においては、ドレイン引き出し領域の抵抗を低減することが可能で素子の低オン抵抗化が図れる。また、トレンチでドレイン引き出し領域を形成しているの

ので、第1から第11の各実施例におけるような深くて幅広の拡散層によるドレイン引き出し領域が必要なく、ドレイン引きだし領域を縮小する事が可能で素子の集積度を向上させ低オン抵抗化が可能となる。

【0030】（実施例13）図18に本発明による第13の実施例の電極平面パターンを示す。図18においてはU型ゲート1502と、ドレイン引き出し領域1501及びソース領域1503との境界を丸めていることに特徴がある。その他は断面図を含め第1の実施例と同様である。

【0031】本実施例においては、溝状に形成されるU型ゲートを平面的に見たときコーナ部が丸められているために応力集中や電界集中を避けることが可能となり、半導体装置製造上において、また、実際の動作上においても信頼性向上を図ることが出来る。

【0032】

【発明の効果】以上説明して来たように本発明によれば、溝型半導体装置において低抵抗の埋込領域と、上記低抵抗の埋込層領域とドレイン電極とを低抵抗で導通させる高濃度拡散層または低抵抗材料を充填したトレンチ領域を具備し、同時にドレイン引き出し領域の周囲を部分的にとり囲むようにソース領域を配置する事により、セルの集積度を格段に向上させ素子のオン抵抗を飛躍的に低減することが可能となる。

【図面の簡単な説明】

【図1】本発明による第1の実施例における電極平面パターン配置図及び断面図。

【図2】本発明による第2の実施例における電極平面パターン配置図及び断面図。

【図3】本発明による第1の実施例におけるオン抵抗をモデル化した図。

【図4】本発明による第2の実施例におけるオン抵抗をモデル化した図。

【図5】オン抵抗とN+型埋込層のシート抵抗との関係を示す図。

【図6】本発明による第3の実施例における電極平面パターン配置図及び断面図。

【図7】本発明による第4の実施例における電極平面パターン配置図及び断面図。

【図8】本発明による第5の実施例における電極平面パターン配置図。

【図9】本発明による第6の実施例における電極平面パターン配置図。

【図10】本発明による第5及び第6の実施例における電極平面パターン配置図。

【図11】U型ゲート形成法を示すための説明図。

【図12】本発明による第7の実施例における電極平面パターン配置図。

【図13】本発明による第8の実施例における電極平面パターン配置図及び断面図。

【図14】本発明による第9の実施例における電極平面パターン配置図及び断面図。

【図15】本発明による第10の実施例における電極平面パターン配置図及び断面図。

【図16】本発明による第11の実施例における断面図。

【図17】本発明による第12の実施例における断面図。

【図18】本発明による第13の実施例における電極平面パターン配置図。

【図19】溝型半導体装置の第1の従来例を示す電極の平面パターン配置図及び断面図。

【図20】溝型半導体装置の第2の従来例を示す断面図。

【図21】溝型半導体装置の第3の従来例を示す電極の平面パターン配置図及び断面図。

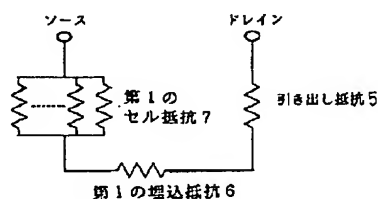
【符号の説明】

1	ドレイン電極	6	第1の埋
10	込抵抗		
2	ソース電極	7	第1のセル抵抗
3	ゲート電極	8	第2の埋
4	ソース領域	9	第2のセル抵抗
5	引き出し抵抗		
11	電極	14	耐圧層
12	基板	17	ソース
40	領域		
13	埋込層	19	引き出
	し領域		
24	ゲート用ポリシリコン電極	25	ゲート
26	ソース電極		
31	基板	35	ソース
	領域		
32	埋込層	36	ソース
	取り出し用領域		
50	33 エピタキシャル層	38	ドレイ

13			14
ン取り出し用領域		*109 ドレイン電極	303 U型
34 ドレイン領域	39 ゲート	ゲート	
40 ゲート	43 ドレイ	401 ドレイン引き出し領域	701 U型
ン電極		ゲート形成時のU溝	
41 絶縁層	44 絶縁層	402 ソース領域	702 ゲー
42 ソース電極	45 ドレイ	ト酸化膜	
ン電極配線部		403 U型ゲート	703 ゲー
101 基板	110 ベー	ト用ポリシリコン	
ス領域		501 ドレイン引き出し領域	704 Uゲ
102 埋込層	111 第1 10	ート	
層層間絶縁膜		502 ソース領域	801 ドレ
103 エピタキシャル層	112 第2	イン引き出し領域	
層層間絶縁膜		503 U型ゲート	802 ソー
104 Nウェル領域	113 第2	ス領域	
層ドレイン電極		504 接続点	803 U型
105 ソース領域	201 ソー	ゲート	
ス領域		601 ドレイン引き出し領域	901 ドレ
106 U型ゲート部	202 ドレ	イン引き出し領域	
イン引き出し領域		602 ソース領域	902 ソー
107 ドレイン引き出し領域	301 ドレ 20	ス領域	
イン引き出し領域		603 U型ゲート	903 U型
108 ソース電極	302 ソー	ゲート	
ス領域	*	604 接続点	
1001 ドレイン引き出し領域		1203 Pベースコンタクト無	
1002 Pベースコンタクト付		ソース領域	
ソース領域		1204 U型ゲート	
1003 Pベースコンタクト無		1301 ドレイン引き出し領域	
ソース領域		1302 ソース領域	
1004 U型ゲート	1303 低	*ース領域	
抵抗シリサイド層	30	1106 U型ゲート	1403 埋
1101 第2層ドレイン電極	1304 第	込層	
1の基板		1108 埋込層	1404 ド
1103 ソース電極	1305 第	レイン電極	
2の基板		1109 ベース領域	1501 ド
1104 ソース領域	1401 ド	レイン引き出し領域	
レイン引き出し領域		1201 ドレイン引き出し領域	1502 U
1105 Nウェル領域	1402 ソ*	型ゲート	
1202 Pベースコンタクト付		1503 ソース領域	
ソース領域			

【図3】

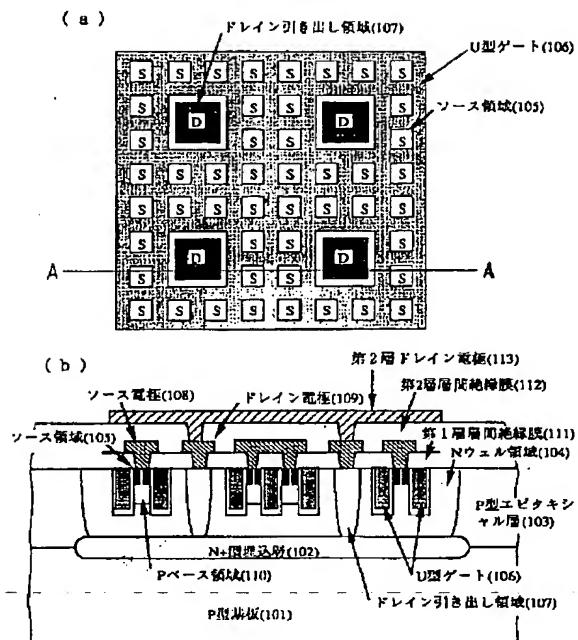
図 3





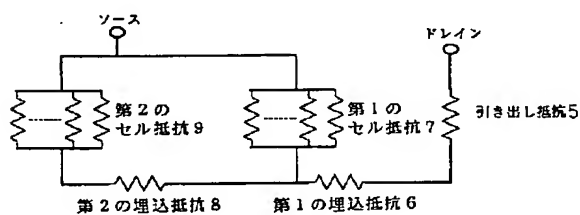
【図1】

図1

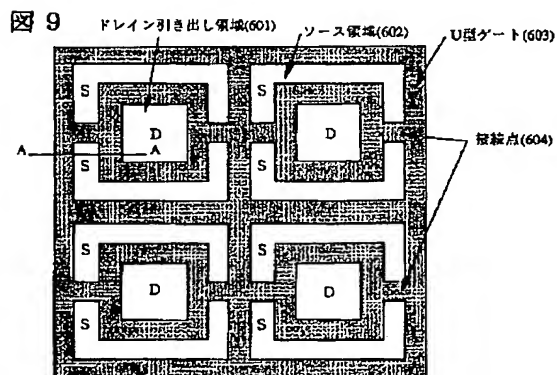


【図4】

図4

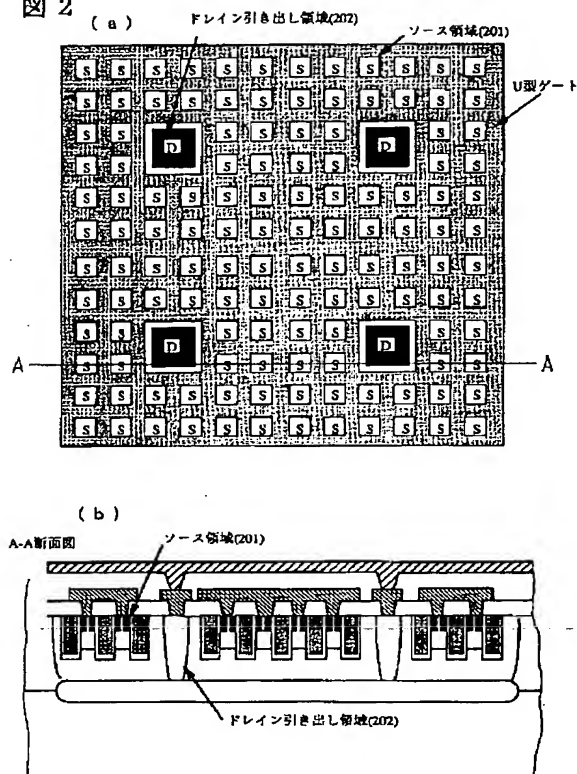


【図9】



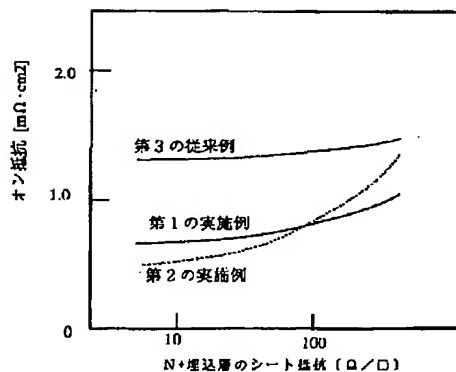
【図2】

図2



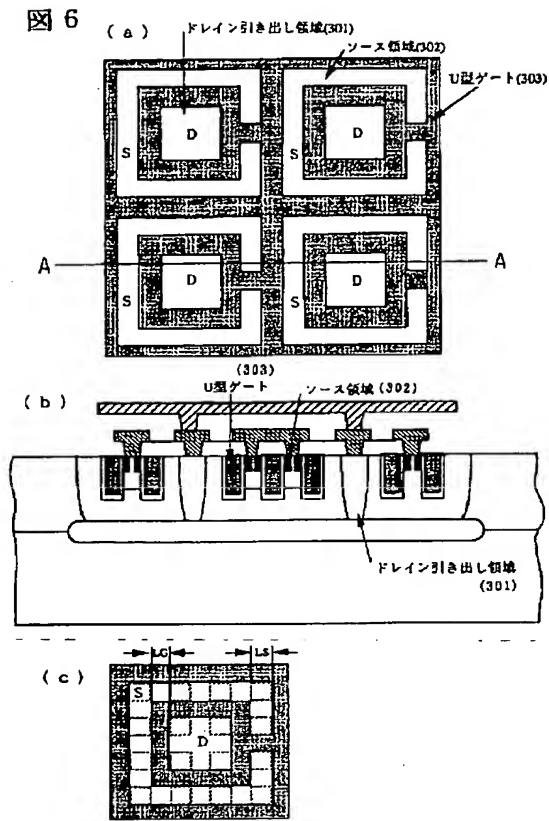
【図5】

図5

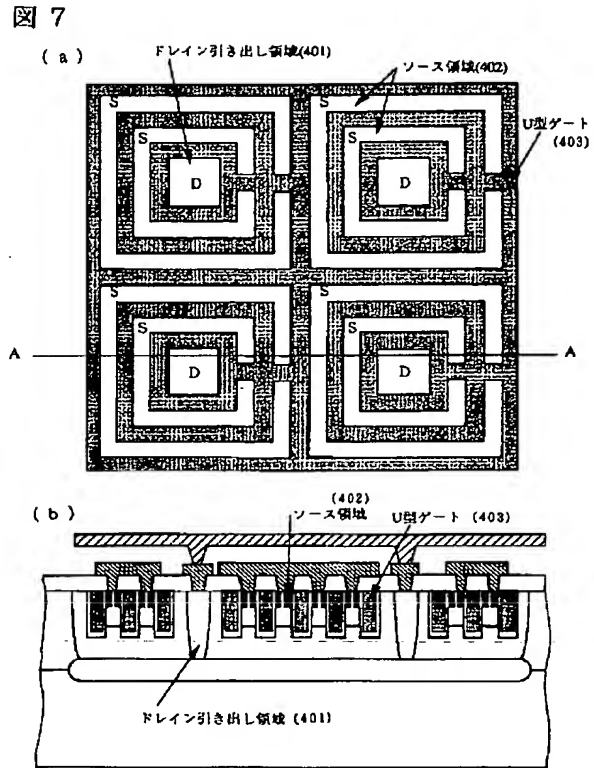




【図6】



【図7】



【図10】

【図8】

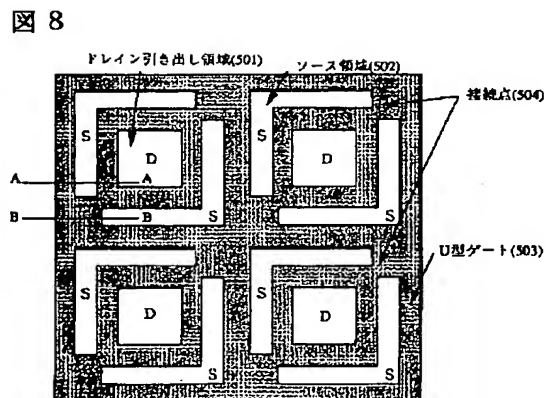
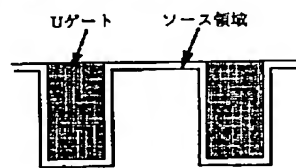
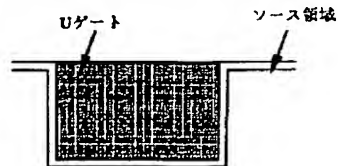


図10

(a) 図8及び図9のA-A断面図

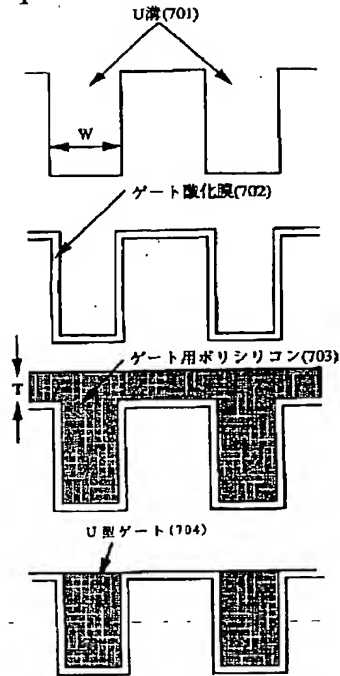


(b) 図8のB-B断面図



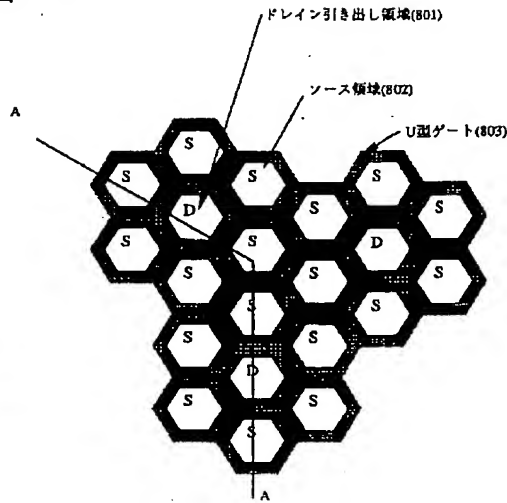
【図11】

図11



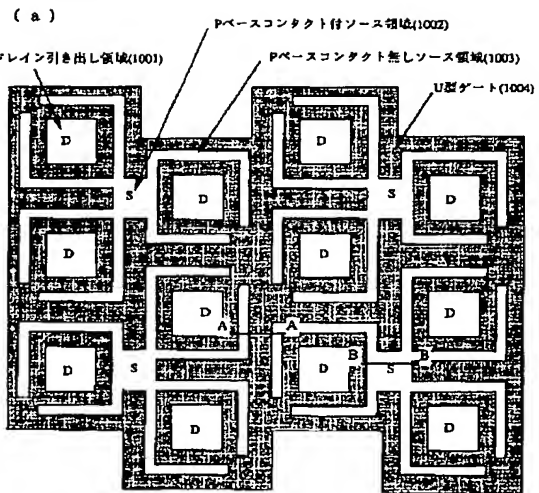
【図12】

図12

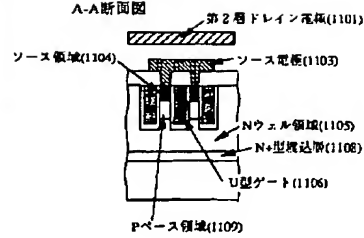


【図14】

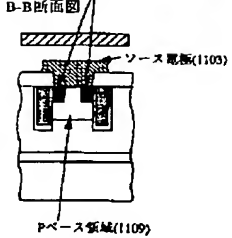
図14



(b)

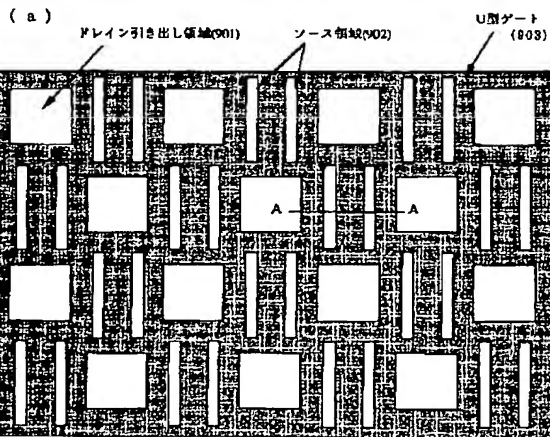


(c)

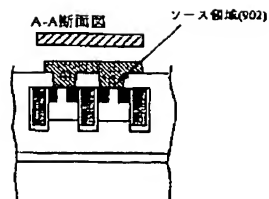


【図13】

図13

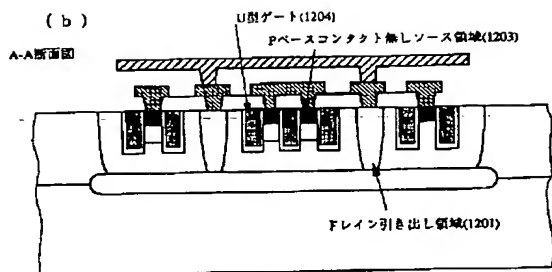
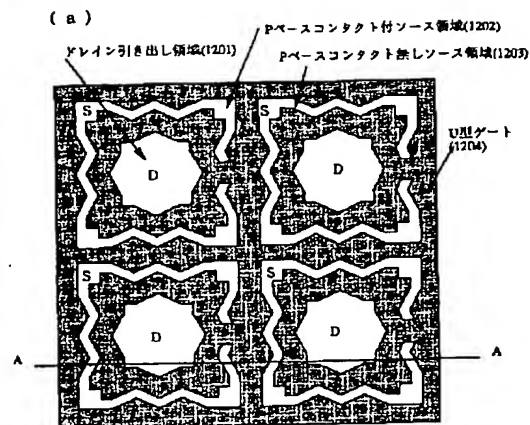


(b)



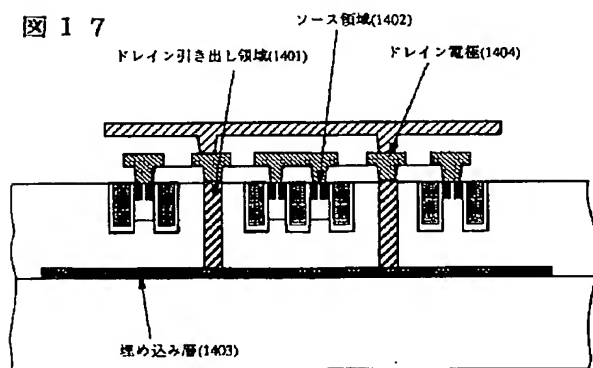
【図15】

図15



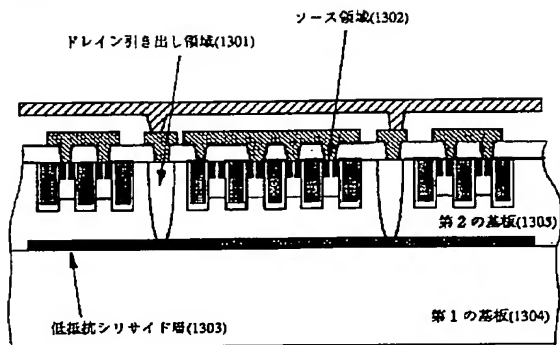
【図17】

図17



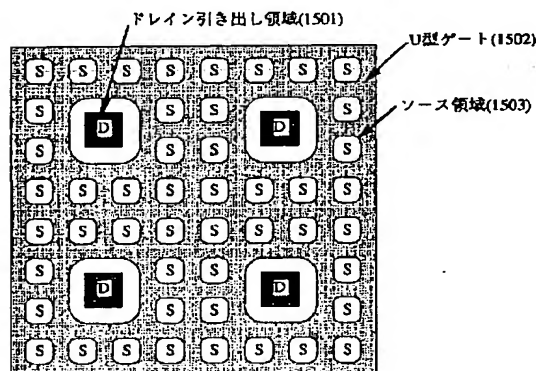
【図16】

図16



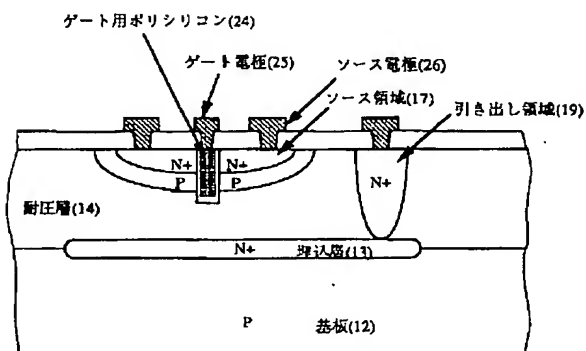
【図18】

図18



【図20】

図20



【図19】

【図21】

図 1 9

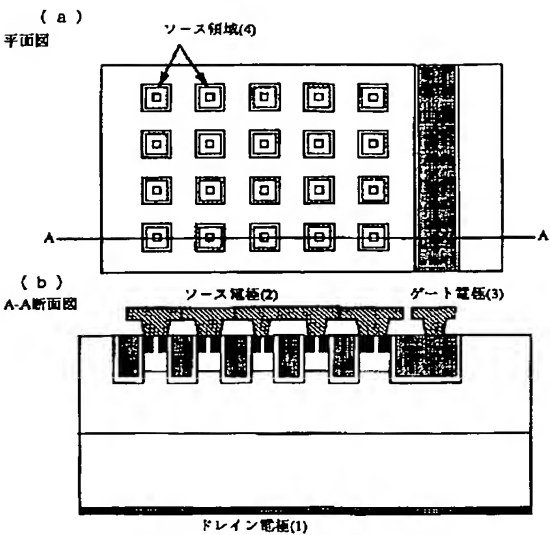
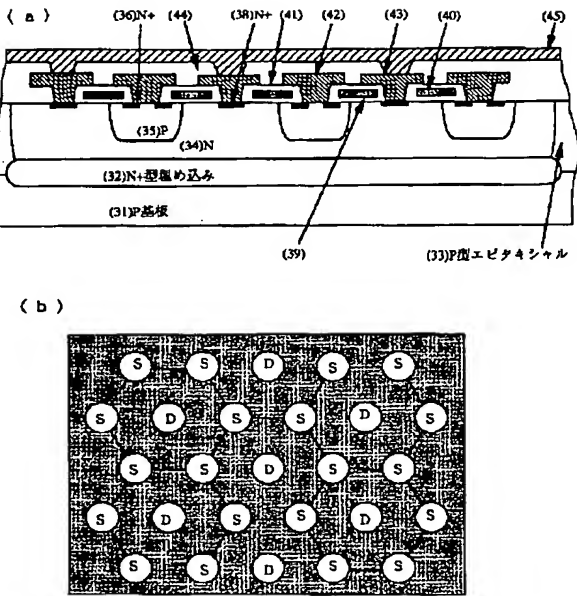


図 2 1



- |                  |                |
|------------------|----------------|
| 34 : ドレイン領域      | 41 : 絶縁層       |
| 35 : ソース領域       | 42 : ソース電極     |
| 36 : ソース取り出し用領域  | 43 : ドレイン電極    |
| 38 : ドレイン取り出し用領域 | 44 : 絶縁層       |
| 39、40 : ゲート      | 45 : ドレイン電極配線部 |

フロントページの続き

(56)参考文献 特開 平2-36561 (JP, A)  
特開 平6-151867 (JP, A)  
特開 平5-251699 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H01L 29/78  
H01L 21/768